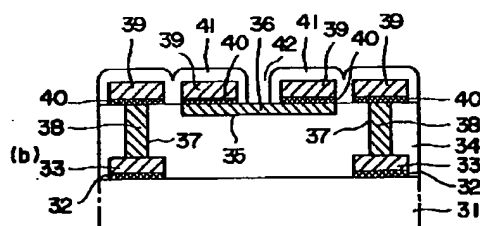


(11)特許出願公開番号



【特許請求の範囲】

【請求項1】半導体基板上に絶縁膜を形成する工程と、前記絶縁膜の表面所定の領域に溝を形成する工程と、前記溝に金属を埋め込んでヒューズ金属パターンを形成する工程とを具備することを特徴とする半導体素子のヒューズ形成方法。

【請求項2】前記ヒューズ金属パターンは、タングステンで形成されることを特徴とする請求項1記載の半導体素子のヒューズ形成方法。

【請求項3】前記溝の深さは、500～2000Åであることを特徴とする請求項1記載の半導体素子のヒューズ形成方法。

【請求項4】半導体基板上の絶縁膜上に下部金属配線を形成する工程と、

前記下部金属配線を覆って前記絶縁膜上の全面に層間絶縁膜を形成する工程と、

前記層間絶縁膜表面の第1領域と第2領域に溝を形成する工程と、

前記層間絶縁膜の第1領域のみを食刻して、該第1領域の溝を前記下部金属配線に到達するコンタクトホールとする工程と、

前記層間絶縁膜の第2領域の溝と第1領域のコンタクトホールに金属を埋め込んでヒューズ金属パターン及びコンタクト金属層をそれぞれ形成する工程とを具備することを特徴とする半導体素子のヒューズ形成方法。

【請求項5】前記層間絶縁膜の第1領域は、半導体素子の多層配線構造において異なる層の金属配線を接続するためのコンタクトが形成される領域であることを特徴とする請求項4記載の半導体素子のヒューズ形成方法。

【請求項6】前記層間絶縁膜の第2領域は、半導体メモリ素子の不良セルの発生時にこれを修理するためヒューズ金属パターンが形成される領域であることを特徴とする請求項4記載の半導体素子のヒューズ形成方法。

【請求項7】前記層間絶縁膜の表面第1領域と第2領域に形成される溝の深さは500～2000Åであることを特徴とする請求項4記載の半導体素子のヒューズ形成方法。

【請求項8】前記下部金属配線は、多層配線構造の半導体素子において最終金属配線の直前に形成される配線層であることを特徴とする請求項4記載の半導体素子のヒューズ形成方法。

【請求項9】前記ヒューズ金属パターンとコンタクト金属層は、前記溝とコンタクトホールを有する層間絶縁膜の全面に金属を蒸着した後、これを層間絶縁膜の表面で平坦化して形成されることを特徴とする請求項4記載の半導体素子のヒューズ形成方法。

【請求項10】前記金属はタングステンであることを特徴とする請求項9記載の半導体素子のヒューズ形成方法。

【請求項11】前記ヒューズ金属パターンとコンタクト

金属層の形成時の平坦化は、CMP、エッチバックまたはリフロー工程により行われることを特徴とする請求項9記載の半導体素子のヒューズ形成方法。

【請求項12】前記ヒューズ金属パターンとコンタクト金属層を形成する工程の以後に、

ヒューズ金属パターンとコンタクト金属層上を含む前記層間絶縁膜上の全面に障壁金属層と上部金属配線用金属層を順次形成し、これらを所定のパターンにパターニングして、前記コンタクト金属層を通じて前記下部金属配線と接続される上部金属配線を形成する工程を有することを特徴とする請求項4記載の半導体素子のヒューズ形成方法。

【請求項13】前記上部金属配線は、多層配線構造を有する半導体素子の最終金属配線であることを特徴とする請求項12記載の半導体素子のヒューズ形成方法。

【請求項14】半導体基板上の絶縁膜上に形成された下部金属配線と、

前記下部金属配線を覆って前記絶縁膜上の全面に形成された層間絶縁膜と、

前記層間絶縁膜上に形成された上部金属配線と、前記下部金属配線と前記上部金属配線とを接続するために前記層間絶縁膜に形成されたコンタクトホール内に埋め込まれたコンタクト金属層と、

前記層間絶縁膜の表面に所定の深さで形成された溝内に、前記コンタクト金属層と同様な金属で埋め込み形成されたヒューズ金属パターンとを具備することを特徴とするヒューズを有する半導体装置。

【請求項15】前記溝は、前記コンタクトホール形成時に同時に形成されることを特徴とする請求項14記載のヒューズを有する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子のヒューズ、詳しくはSRAMセルの不良ビットの修理に用いられるヒューズの形成方法及びそのヒューズを有する半導体装置に関する。

【0002】

【従来の技術】SRAMセルの一部のビットに不良が発生した場合、余分のセルを不良ビットに代える修理工程を施す。具体的には、前記余分のセルを正規のセルのアドレスラインに接続するヒューズ金属パターンを予め多層金属配線工程で形成し、修理工程では、不良の発生した正規のセルのアドレスラインに余分のセルを接続するヒューズ金属パターンだけを残し、残りのヒューズ金属パターンは除去する。このようにして不良セルの修理を行って、セルが誤動作することを防止してチップ全体を生かす。

【0003】図4(a)、(b)は、前記ヒューズ金属パターンを有する従来の半導体装置を示す平面図およびb-b線断面図である。この半導体装置は、図示しない

10

20

30

40

50

半導体基板上の絶縁膜11上に下部金属配線12が形成される。さらに、その下部金属配線12を覆って絶縁膜11上の全面に層間絶縁膜13が形成され、この層間絶縁膜13上に上部金属配線14が形成される。この上部金属配線14は次のようにして製造される。

【0004】まず、層間絶縁膜13上の全面に障壁金属層15を形成し、その上に上部金属配線用金属層を形成する。その後、上部金属配線用金属層をパターニングして上部金属配線14を形成し、続いて、障壁金属層15も上部金属配線14と同一パターンにパターニングする。しかし、このとき、障壁金属層15の一部においては、一対の上部金属配線14を接続するようにパターニングし、ヒューズ金属パターン16を形成する。しかる後、上部金属配線14を覆って層間絶縁膜13上の全面にはパッシベーション膜17が形成されるが、このパッシベーション膜17には、ヒューズ金属パターン16をレーザ加工で切断（除去）できるように、ヒューズ金属パターン16上の一部において開口部18が形成される。

【0005】なお、一部の上部金属配線14においては、層間絶縁膜13に形成されたコンタクトホール内に埋め込まれたコンタクト金属層19を介して下部金属配線12と接続される。この下部金属配線12の下層部にも障壁金属層20が設けられている。

【0006】

【発明が解決しようとする課題】しかるに、上記のように障壁金属層15の一部でヒューズ金属パターン16を形成する方法では、上部金属配線14形成用のパターニング（食刻）を過度に行くと、ヒューズ金属パターン16が損傷を受ける恐れがあり、食刻工程自体も制御が難しいという問題点があった。

【0007】本発明は上記の点に鑑みなされたもので、その目的は、損傷を防止して優れた導電特性を有するヒューズ金属パターンを形成し得る半導体素子のヒューズ形成方法及びそのヒューズを有する半導体装置を提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決し上記目的を達成するために本発明では、半導体基板上の絶縁膜の表面所定の領域に溝を形成し、この溝に金属を埋め込んでヒューズ金属パターンを形成する。

【0009】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して詳細に説明する。図1(a)、(b)は本発明の実施の形態の半導体装置を示す平面図およびb-b線断面図である。この図において、31は図示しない半導体基板上に形成された絶縁膜であり、この絶縁膜31上に障壁金属層32を挟んで下部金属配線33が形成される。この下部金属配線33を覆って絶縁膜31上の全面には層間絶縁膜34が形成され、この層間絶縁膜34

の表面所定の領域には、該領域に形成された溝35内に埋め込んでヒューズ金属パターン36が形成される。また、前記下部金属配線33上において層間絶縁膜34には、前記溝35と同時にコンタクトホール37が形成されており、このコンタクトホール37には、下部金属配線33と後述する上部金属配線とを接続するためのコンタクト金属層38が埋め込まれる。このコンタクト金属層38とヒューズ金属パターン36は同一金属で形成される。層間絶縁膜34上には、前記コンタクト金属層38の上端または前記ヒューズ金属パターン36の両端に接続して上部金属配線39が形成される。このとき、上部金属配線39と層間絶縁膜34間には、障壁金属層40が介在される。そして、上部金属配線39を覆って層間絶縁膜34上の全面にはパッシベーション膜41が形成されており、このパッシベーション膜41の一部には、ヒューズ金属パターン36をレーザ加工で切断（除去）できるように開口部42が形成される。

【0010】このような半導体装置は、図2および図3（本発明の形成方法の実施の形態）に示すように製造される。まず、図示しない半導体基板上の絶縁膜31上の全面に障壁金属層と下部金属配線用金属層を順次形成した後、これらを所定パターンにパターニングすることにより、図2(a)に示すように、絶縁膜31上に下部金属配線33とその下の障壁金属層32を形成する。ここで、下部金属配線33は、多層配線構造の半導体素子において上部金属配線の直前に形成される配線層である。次に、下部金属配線33を覆って絶縁膜31上の全面に層間絶縁膜34を形成し、さらにこの層間絶縁膜34をCMP(chemical mechanical polishing)又はエッチバックにより平坦化させる。次いで、コンタクトホールを形成する第1領域およびヒューズ金属パターンを形成する第2領域において、層間絶縁膜34の表面に写真食刻工程により図2(a)に示すように第1の溝43および第2の溝35を形成する。このとき、溝43、35の深さは、形成するヒューズ金属パターンの厚さからして、例えば500~2000Å程度が好ましい。

【0011】次いで、ヒューズ金属パターンを形成する第2領域に形成された第2の溝35の部分を図2(b)に示すように写真工程によりフォトリソスト44で覆った後、第1の溝43を形成した第1領域の層間絶縁膜34を食刻工程により2次食刻することにより、第1の溝43を下部金属配線33まで到達させ、コンタクトホール37を形成する。

【0012】次いで、フォトリソスト44を除去した後、例えばタングステンのようなコンタクト金属層形成のための金属を層間絶縁膜34の全面に蒸着し、これをCMP、エッチバック、またはリフローなどの平坦化工程で層間絶縁膜34の表面で平坦化させることにより、図3(a)に示すように、コンタクトホール37内にコ

5

ンタクト金属層38、および第2の溝35内にヒューズ金属パターン36をそれぞれ埋め込み形成する。

【0013】次いで、層間絶縁膜34上に障壁金属層と上部金属配線用金属層を順次形成し、これらを順次所定パターンにパターニングすることにより、図3(b)に示すように、層間絶縁膜34上に、最終金属配線としての上部金属配線39とその下の障壁金属層40を形成する。このとき、上部金属配線39は、コンタクト金属層38を介して下部金属配線33に接続されるように、また、ヒューズ金属パターン36の両端に接続されるように形成される。

【0014】その後は、図1に示すように、上部金属配線39を覆って層間絶縁膜34上の全面にパッシベーション膜41を形成し、パッシベーション膜41の一部にヒューズ金属パターン切断用の開口部42を形成する。

【0015】このような製造方法および図1の装置によれば、次のような利点がある。

(1) コンタクトホール形成工程およびコンタクト金属層形成工程を利用して、従来技術と比べて工程の追加なしに(フォトレジスト44の形成工程は、従来も同等工程がヒューズ金属パターンのパターニング時に設けられる)、ヒューズ金属パターン36を上部金属配線39の形成以前に層間絶縁膜34に埋め込み形成することができる。

(2) ヒューズ金属パターン36の埋め込みも、金属の蒸着と平坦化工程という単純な工程により容易に行える。

(3) 上部金属配線39形成のパターニングにおいて過度の食刻があっても、障壁金属層によってヒューズ金属パターン36が保護されるので、ヒューズ金属パターン36の損傷を防止することができる。したがって、ヒューズ金属パターン36に良好な導電特性を得ることがで

6

き、食刻の制御も容易となる。

(4) 導電性が一般の障壁金属よりも優れたタングステンのようなコンタクト金属でヒューズ金属パターン36を形成できるから、優れた導電性を確保し得る。

【0016】なお、本発明は、上述の実施の形態に限定されず、本発明の技術思想を外れない範囲内で種々の置換、変形および変更が可能であることは本発明の属する技術分野で通常の知識を有する者においては明白である。

10 【0017】

【発明の効果】以上詳細に説明したように本発明によれば、従来技術と比べて追加される工程なしに、しかも単純な工程によって容易に、損傷のない優れた導電特性を有する半導体素子のヒューズ金属パターンを形成し得る。

【図面の簡単な説明】

【図1】本発明の半導体装置の実施の形態を示す平面図および断面図。

【図2】本発明の形成方法の実施の形態を示す断面図。

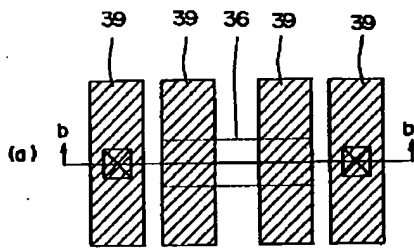
20 【図3】本発明の形成方法の実施の形態を示し、図2に続く工程を説明するための断面図。

【図4】従来の半導体装置を示す平面図および断面図。

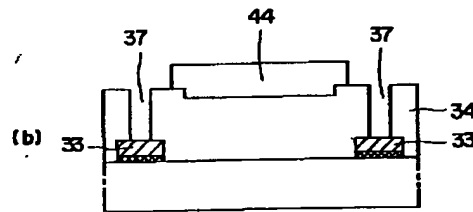
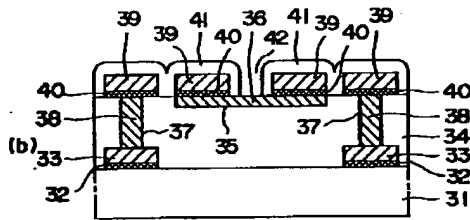
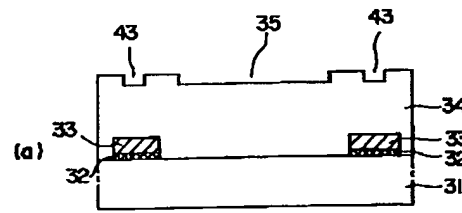
【符号の説明】

- 31 絶縁膜
- 33 下部金属配線
- 34 層間絶縁膜
- 35 溝(第2の溝)
- 36 ヒューズ金属パターン
- 37 コンタクトホール
- 30 38 コンタクト金属層
- 39 上部金属配線
- 43 第1の溝

【図1】

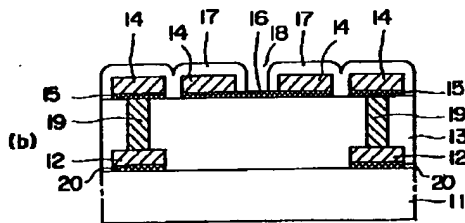
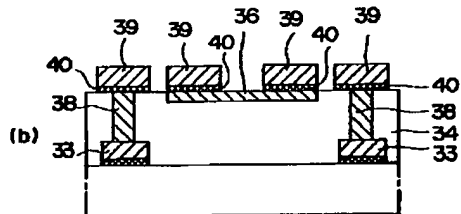
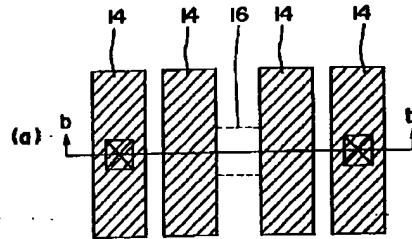
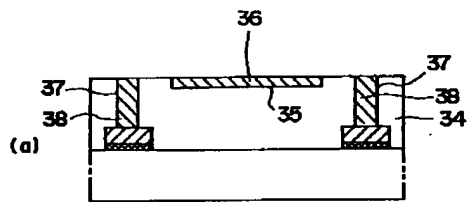


【図2】



【図4】

【図3】



CLIPPEDIMAGE= JP411054627A

PAT-NO: JP411054627A

DOCUMENT-IDENTIFIER: JP 11054627 A

TITLE: SEMICONDUCTOR DEVICE HAVING FUSE AND FORMATION
THEREOF

PUBN-DATE: February 26, 1999

INVENTOR-INFORMATION:

NAME

LEE, DONG HOON

AHN, JONG-HYON

ASSIGNEE-INFORMATION:

NAME

SAMSUNG ELECTRON CO LTD

COUNTRY

N/A

APPL-NO: JP09355950

APPL-DATE: December 25, 1997

INT-CL (IPC): H01L021/82

ABSTRACT:

PROBLEM TO BE SOLVED: To form a fuse metal pattern excellent in conductivity by making a trench in a specified surface region of an insulation film formed on a semiconductor substrate and filling the trench with a metal thereby forming a fuse metal pattern while preventing the damage.

SOLUTION: An insulation film 31 is formed on a semiconductor substrate and a lower wiring 33 is formed thereon while sandwiching a barrier metal layer 32. Subsequently, an interlayer insulation film 34 is formed entirely on the insulation film 31 while covering the lower metallization 33. A fuse metal pattern 36 is formed in a specified surface region of the interlayer insulation

film 34 while filling a trench 35. More specifically, the fuse metal pattern 36 can be formed while being embedded in the interlayer insulation film 34 prior to formation of an upper metallization 39 through use of a contact hole forming step and a contact metal layer forming step without requiring any additional step. Furthermore, the fuse metal pattern 36 can be embedded easily using simple steps of metal deposition and planarization.

COPYRIGHT: (C)1999,JPO